

Yeni Bir QPSK Modülatör Mimarisinin Tasarımı

¹Mehmet Sönmez ve ²Ayhan Akbal

^{1,2}Fırat Üniversitesi Mühendislik Fakültesi Elektrik-Elektronik Mühendisliği Bölümü

Geliş Tarihi: 2016-01-23 Kabul Tarihi: 2016-03-22

Öz

Bu çalışmada kablosuz haberleşme sistemlerinde yaygın olarak kullanılan QPSK (Quadrature Phase Shift Keying: Dördün Faz Kaydırmalı Anahtarlama) modülasyon tekniği için yeni bir mimari önerilmiştir. QPSK modülasyon tekniği, OFDM (Orthogonal Frequency Division Multiplexing: Dikgen Frekans Bölmeli Çoğullama) ve CDMA (Code Division Multiplexing Access: Kod Bölmeli Çoklu Erişim) gibi çoklu kullanıcılara hizmet veren sistemlerde yaygın olarak kullanılmaktadır. Dolayısıyla vericilerin kaynak kullanımının düşük olması oldukça önemlidir. Yeni mimari sayesinde QPSK tekniğinin RAM bit kullanım miktarı %87.5 oranında düşürülmüştür. Sistemin karmaşıklığı azaldığından TLE (Total Logic Element: Toplam Lojik Eleman) ve kaydedici kullanımı azalmıştır. Ayrıca önerilen yöntemin pratik uygulaması da düşük maliyetli Altera DE-0 Nano bord ile gerçekleştirilmiştir.

Anahtar Kelimeler: QPSK, FPGA, RAM Bit Kullanımı.

Design of a Novel Architecture for QPSK Modulator

¹Mehmet Sönmez and ²Ayhan Akbal

^{1,2}Fırat University, Faculty of Engineering, Department of Electrical and Electronics Engineering

Abstract

In this study, a new architecture is proposed for QPSK (Quadrature Phase Shift Keying) modulation technique which is widely used in wireless communication systems. QPSK modulation technique is generally utilized in systems serve multiple user such as OFDM (Orthogonal Frequency Division Multiplexing) and CDMA (Code Division Multiplexing Access). Therefore, it is very important that transmitters have low resource utilization. Thanks to the new architecture, RAM bit utilization of QPSK technique is decreased by up to 87.5%. However, the use of TLE (Total Logic Element) and register rise since complexity of the system increases. Besides, practical application of the proposed technique is realized by using low-cost Altera DE-0 Nano Board.

Keyword: QPSK, FPGA, RAM Bit Utilization

1. Giriş

Günümüzde haberleşme sistemlerinin donanımsal tasarımı oldukça ilgili gören bir konudur. Bunun nedeni daha yüksek hızlarda veri paylaşımı gerçekleştiriliyorken güç tüketiminin düşürülmek istenmesinden dolayıdır. En fazla kullanılan devre yapıları mikrodalga, VLSI (Very-Large-Scale Integration: Çok Geniş Ölçekli Tümeleşim) tabanlı ve FPGA tabanlı devrelerdir [1, 2, 3]. Bu devre yapıları kullanılarak birçok modülasyon tekniğinin uygulaması

literatürde mevcuttur [4, 5]. Bu modülasyon tekniklerinin arasında kablosuz haberleşme sistemlerinde kullanılan modülasyon tekniklerinden birisi de QPSK modülasyon tekniğidir. QPSK modülasyon tekniğinin FPGA tabanlı uygulaması birçok çalışmada gerçekleştirilmiştir [6-10]. Yapılan çalışmalarda veri iletim oranını artırmak için mikrodalga tabanlı devre yapıları kullanılmıştır. Mikrodalga tabanlı devre yapılarında sinyal üretici mikrodalga devre kullanılarak gerçekleştirilmiş olup anahtarlama işlevi FPGA ile sağlanmıştır [6]. Bazı

*Sorumlu yazar: Adres: Fırat Üniversitesi Mühendislik Fakültesi Elektrik-Elektronik Mühendisliği Bölümü, E-mail adresi : 1msonmeztr@gmail.com

Doi:10.21541/apjes.41021

uygulamalarda QPSK modülatörün geleneksel yapısı kullanılmıştır. Yani modülatör şemalarında paralel I ve Q kanal yapılarıyla çarpım blokları kullanılmıştır [7, 8]. Bu çalışmalarda yol uzunluğu mux tabanlı mimarilere oranla daha fazladır ve bu mimarilerde senkronizasyon problemi en büyük sorundur. Bazı çalışmalarda NCO (Numerically Controlled Oscillator: Sayısal Kontrollü Osilatör) yapıları ile sinyal üretimi gerçekleştirilmiştir [9]. NCO yapıları kullanılarak gerçekleştirilen tasarımlarda kaynak kullanım miktarları oldukça yüksektir. Dolayısıyla kaynak kullanımı açısından bu mimariler diğer mimarilere göre daha fazla dezavantaja sahiptirler. Mux tabanlı olarak kullanılan mimarilerde ise QPSK modülatör için dört adet ROM bloğuna ihtiyaç duyulmuştur. QPSK modülasyon tekniğinin demodülasyonu için taşıyıcı senkronizasyonunun başarılmasına yönelik birçok çalışma gerçekleştirilmiştir [11-14]. Bu çalışmalarda önerilen tasarımlar için BER (Bit Error Rate: Bit Hata Oranı) düşürülmesi oldukça önem arz etmektedir. Yapılan çalışmaların benzetim programları yardımıyla BER değişimi izlendikten sonra FPGA üzerinde uygulamaları gerçekleştirilmiştir. Yapılan bir diğer çalışmada adres üreticiler blokları kullanılarak BPSK (Binary Phase Shift Keying: İkili Faz Kaydırmalı Anahtarlama), QPSK, 16-QAM (Quadrature Amplitude Modulation, Dördün Genlik Modülasyonu) ve 64 QAM modülasyon teknikleri için mimari tasarımları gerçekleştirilmiştir. Ayrıca önerilen mimarinin temeli mux tabanlı yapılar ile oluşturulmuştur [15].

Bu çalışmada QPSK modülasyonu için yeni bir mimari yapısı önerilerek RAM bit kullanımının düşürülmesi amaçlanmıştır. Bu amaç için I ve Q kanalı sinyallerinin üretimi BPSK olarak düşünülmüş ve ikinci bir mux sayesinde I veya Q kanalı sinyallerinden birisinin seçimi I veya Q kanalı bitlerinin durumları kullanılarak gerçekleştirilmiştir. Sonuç olarak QPSK sinyali başarılı bir şekilde üretilmiş olup uygulanabilir olduğu deneysel sonuçlarla gösterilmiştir.

2. QPSK Modülasyon Tekniği

İkili modülasyon teknikleri ile üretilen sinyaller sadece bir bitin değişimine göre durum değiştirmektedirler. Ancak bant genişliği verimliliğini artırmak için bir bit periyodunun katları süresince belirli sayıda bitlerden oluşan bir sembolün gönderilmesini sağlayan modülasyon teknikleri de mevcuttur. QPSK modülasyon tekniği de bu modülasyon tekniklerinden birisidir. QPSK modülasyon tekniğinde bir sembol iki farklı bitten oluşmakta olup sembolün iletilmesi için geçen süre bir bit periyodunun iki katı kadardır. Böylece bit periyodu artırılırken sinyalin bant genişliği

de düşürülmüş olur. QPSK modülasyonlu sinyali üretebilmek için Denklem 2.10 kullanılmaktadır [16].

$$QPSK(t) = A \cos(2\pi f_c t + \theta_i) \quad i = 1, 2, 3, 4 \quad (1)$$

$$\theta_i = \frac{(2i-1)\pi}{4} \quad (2)$$

Denklem 2.10 ve Denklem 2.11'den görüldüğü gibi QPSK sinyali dört farklı sinyalden oluşmaktadır. Bu sinyallerin frekans ve genlikleri aynı olup fazları farklıdır. Denklem 2.11'den her bir sinyal arasındaki faz farkının 90 derece olduğu görülmektedir. Dolayısıyla θ_i değerleri sırasıyla, 45, 135, 225 ve 315 derece değerlerindedir. Denklem 2.10 kullanılarak QPSK için daha açık bir ifade Denklem 2.12'de verilmiştir.

$$QPSK(t) = A \cos(\theta_i) \cos(2\pi f_c t) - A \sin(\theta_i) \sin(2\pi f_c t) \quad (3)$$

$$QPSK(t) = \frac{A}{\sqrt{2}} I(t) \cos(2\pi f_c t) - \frac{A}{\sqrt{2}} Q(t) \sin(2\pi f_c t) \quad (4)$$

Tablo 2.1'de QPSK modülasyonlu sinyalin faz değişimine göre Denklem 2.12'nin alacağı ifade verilmiştir.

Tablo-1. Her sembol için taşıyıcı sinyalin seçimi

Sembol Tipi	QPSK Sinyal
10	$0.707 * A_c * (\cos(w_c t) + \sin(w_c t))$
00	$-0.707 * A_c * (\cos(w_c t) - \sin(w_c t))$
01	$-0.707 * A_c * (\cos(w_c t) + \sin(w_c t))$
11	$0.707 * A_c * (\cos(w_c t) - \sin(w_c t))$

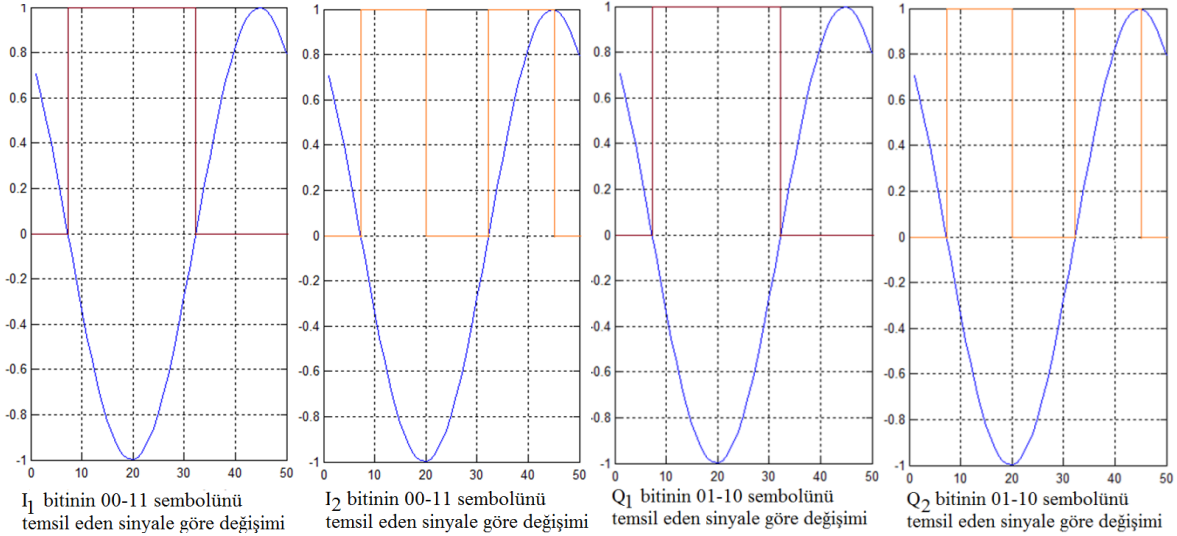
Tablo 1'den faydalanılarak oluşturulan QPSK sinyal uzayı Şekil 2.24'de verilmiştir. Şekilden görüldüğü gibi birbirlerine göre bir bitlik fark bulunan sembollerin arasında 90 derece fark bulunmaktadır. Ayrıca 10-01 ve 00-11 gibi semboller arasında iki bitlik değişim varsa QPSK sinyalin tam bu noktadaki geçişlerinde 180 derecelik faz farkı oluşmaktadır.

3. Önerilen QPSK Modülatör Mimarisi

QPSK modülasyon tekniği için RAM bit kullanımını düşürmek için bu bölümde yeni bir mimari verilmiştir. Ancak kontrol sinyalleri ile birlikte veri bitlerinin işlemsel bloklardan geçirilmesi ve kullanılan mux

sayısındaki artış karmaşıklığın arttığının bir göstergesidir. Daha önceden de açıklandığı gibi QPSK modülasyonlu bir sinyal için dört durum mevcuttur. Önerilen QPSK modülatör şemasında 10-01 sembolleri için ve 00-11 sembolleri için iki ayrı ROM

bloğu kullanılmıştır. Dolayısıyla iki ayrı sayaç ve iki ayrı ROM kullanılarak 01-10 ve 11-00 sembollerini temsil etmek için QPSK modülasyonlu sinyal üretilebilmektedir.



Şekil 1'den görüldüğü gibi I₁ ve Q₁ bitleri, sinyalin alternans değiştirmesi sırasında değerini değiştirmektedir. Ancak I₂ ve Q₂ bitleri sinyalin genlik değerinin artması ve azalması durumuna göre değişmektedirler. Dolayısıyla I₂ ve Q₂ bitleri önerilen çalışmada sayacı kontrol eden sinyaller olarak kullanılmıştır. Şekil 1'de ayrıca I₂ ve Q₂ bitleri, başlangıç durumunda '0' bit değerini almalarına rağmen oluşturdukları sinyallerin örneklerinin genlik değerleri I₂ biti için azalırken Q₂ biti için artmıştır. Yani sinyaller birbirlerine göre zıt bir davranış göstermişlerdir. Bunu sağlamak için Q₂ biti ile I₂ bitleri ile dolaylı olarak kontrol edilen ROM bloklarına kaydedilen örneklerin sırası değiştirilmiştir. Yani i kanalı sinyalini oluşturan ROM bloğunun sıfırıncı adresine kaydedilmiş veri ile q kanalı sinyalini oluşturan rom bloğunun son adresine kaydedilmiş veriler eşittir. Dolayısıyla iki sinyal birbirine göre ters bir şekilde oluşturulurlar. Bu mimari ile ilgili bir algoritma aşağıda verilmiştir.

Algoritma-1

Giriş: d, I_1, I_2, Q_1, Q_2

Değişkenler:

$i, q, j, s, s_1, s_2, max, son$

Çıktı: QPSK

Basla:

$b := b + 1;$

if $b < son$ **then**

else

QPSK $<= i_{00}$

end if;

end if;

if $d(i) = '1'$ **and**

$d(q) = 0$ **then**

if $Q_1 = '1'$

then

if $I_2 = '0'$ **then**

$s_1 := s_1 + 1;$

else

$s_1 := s_1 - 1;$

end if;

if $Q_2 = '0'$ **then**

$s_2 := s_2 + 1;$

else

$s_2 := s_2 - 1;$

end if;

$s := s + 1;$

if $s = max + 1$ **then**

$s := 0;$

if $i = j$ **then**

$i := 1;$

$q := 0;$

else

$i := i + 2;$

$q := q + 2;$

end if;

if $d(i) = '1'$ **and** $d(q) = 1$

then

if $I_1 = '1'$ **then**

QPSK $<= i_{11};$

QPSK $<= i_{01};$

else

QPSK $<= i_{10}$

end if;

end if;

if $d(i) = '0'$ **and**

$d(q) = '1'$ **then**

if $Q_1 = '1'$

then

QPSK $<= i_{10};$

else

QPSK $<= i_{01}$

end if;

end if;

if $d(i) = '0'$ **and**

$d(q) = '0'$ **then**

if $I_1 = '1'$

then

QPSK $<= i_{00};$

else

QPSK $<= i_{11}$

end if;

end if;

if $b = son$ **then**

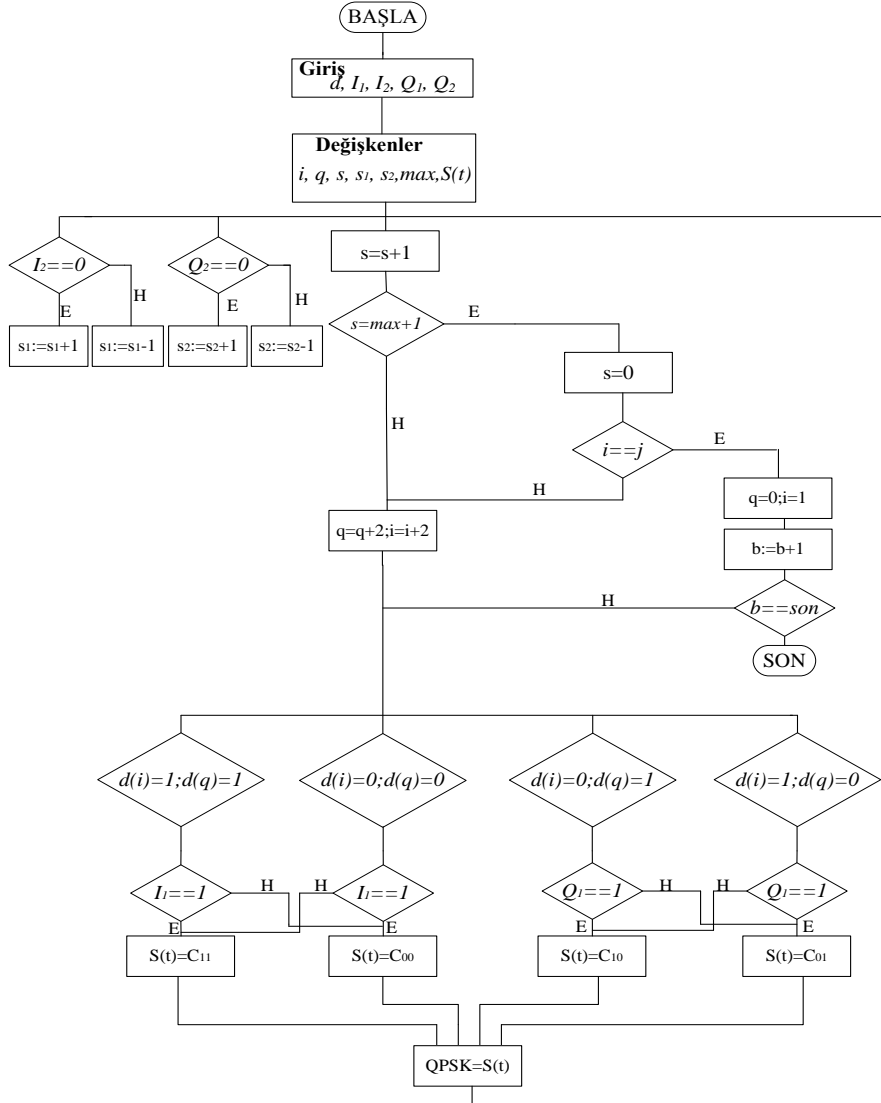
programı sonlandır;

end if;

GİT Basla

Algoritma-1'de verilenlere göre maksimum iletebilecek bilgi biti sayısına erişildiğinde programdan çıkılacaktır. Bilgi biti sayısı b ile ifade edilirken maksimum gönderilebilecek bilgi biti sayısı da son değişkeni ile gösterilmektedir. Ayrıca bir

sembolü oluşturan maksimum bit sayısı da j ile ifade edilmektedir. Eğer i değişkeni (sembolün I kanalından iletecek bilgi bitinin saklanması yardımcı olan değişken) j değişkenine eşit olursa diğer farklı bir örneğin iletileceği bildirilmektedir.



Şekil 2. Algoritma-1 için oluşturulan akış diyagramı

Algoritma-1'de I_2 ve Q_2 sinyalleri sayaçları kontrol etmek için kullanılmıştır. Algoritmadan görüldüğü gibi her bir durum iç içe iki if döngüsü oluşturmaktadır. İf döngüsü ile birlikte verilen and işlemi bizim algoritmamızda xor bloğu olarak işlem görecektir. Yani iki bitin aynı veya farklı olma durumu diye tanımlanmıştır. Bu algoritmaya ait doğruluk tablosu Tablo 2'de verilmiştir.

Tablo 2. Önerilen QPSK için doğruluk tablosu

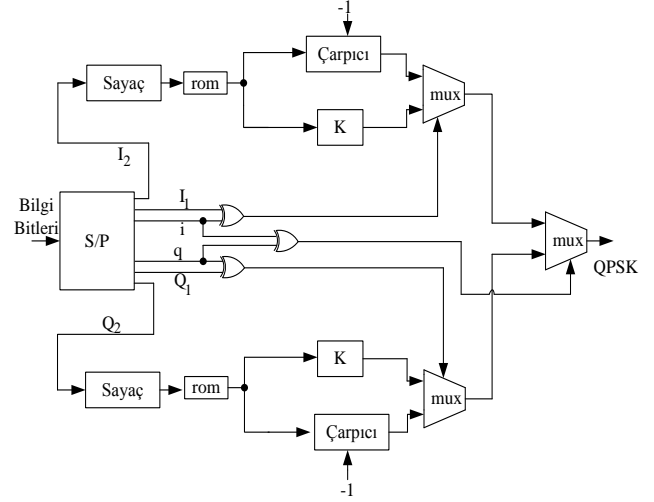
i	q	I_1	Q_1	QPSK
0	0	0	X	i_{11}
0	0	1	X	i_{00}
0	1	X	0	i_{01}
0	1	X	1	i_{10}
1	0	X	0	i_{10}
1	0	X	1	i_{01}
1	1	0	X	i_{00}

1	1	1	X	i_{11}
---	---	---	---	----------

Doğruluk tablosundan da görüldüğü gibi i ve q bitlerinin aynı olması durumunda çıkışın $i11$ biti ile belirlenmesinden dolayı $Q1$ önemsiz bit olarak tanımlanmıştır. Ancak i ve q bitlerinin farklı olduğu durumlarda ise $i11$ önemsiz bit olarak görülmektedir. Dolayısıyla verilen algoritmada ilk denetlenmesi gereken özellik i ve q bitlerinin aynı veya farklı olma durumlarıdır. Daha sonra da i biti ile $i11$ bitinin ve q biti ile de $Q1$ bitlerinin aynı ve farklı olma durumları ele alınmalıdır. Eğer i ve q bitleri aynıysa ve $i11$ biti ile de i biti aynıysa çıkış $i11$ olur. Ancak i ve q bitlerinin durumu değiştirilmeden $i11$ bitinin durumu değiştirilirse çıkış $i00$ olur. Aynı şekilde eğer i ve q bitlerinin durumu farklıysa ve $Q1$ biti ile q bitinin durumu aynıysa çıkış $i10$ oluyorken $Q1$ biti ile q bitinin durumu farklıysa çıkış $i01$ olacaktır. Bu durumda üç adet xor kapısı ve art arda bağlı iki adet mux gereklidir. Birinci mux kapısı i ile $i11$ ve q ile $Q1$ blokları için sinyalin üretiminde kullanılırken bir sonraki mux kapısı da i ve q bitlerinin aynı veya farklı olma durumlarında çıkışa vereceği sinyale karar vermek için kullanılır. Şekil 3'de önerilen QPSK mimarisi verilmektedir.

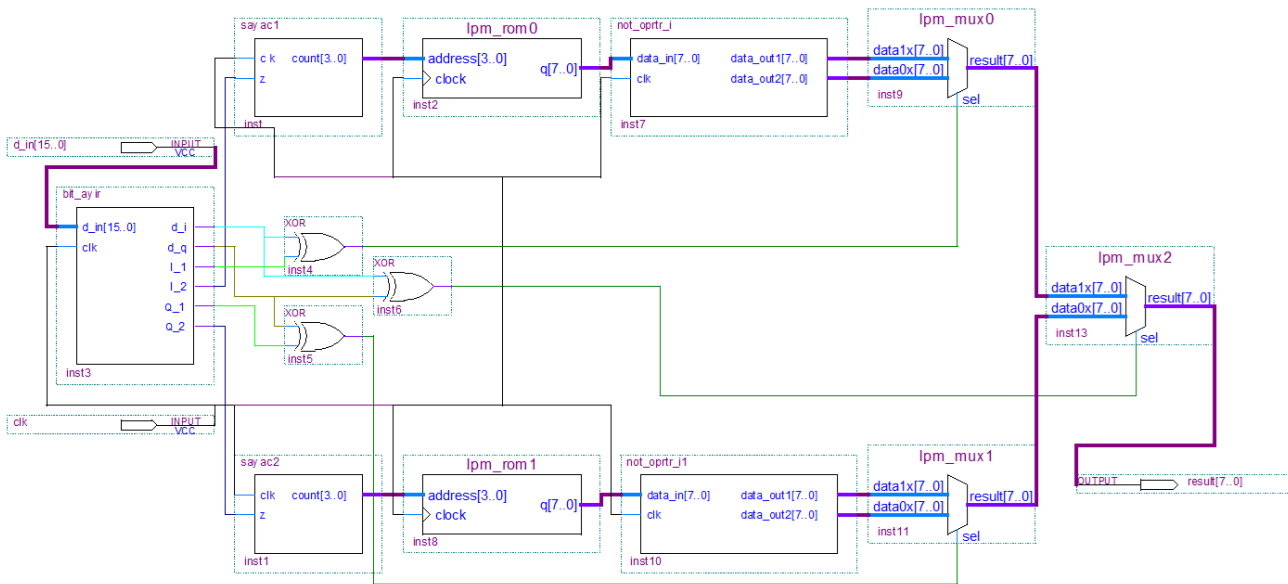
Şekil 3'de görüldüğü gibi son mux bloğu I kanalı ve Q kanalı sinyallerinden birisini seçmek için kullanılmıştır. Eğer i ve q bitleri aynıysa alt koldan gelen sinyal (Q kanalı sinyali) QPSK sinyalini oluşturuyorken (00 ve 11 durumu) bu bitlerin farklı olması durumunda da üst koldan gelen sinyal (I kanalı sinyali) QPSK sinyalini oluşturur (10 ve 01 durumu). Ayrıca her iki kanal için de farklı ROM kullanıldığı

görülmektedir. Şekilde $Q2$ ve $i2$ bitleri I kanalı ve Q kanalı sayaçlarının kontrolünü sağlamaktadır. Önerilen yapının FPGA ortamındaki tasarımı Şekil 4'de görüldüğü gibidir.



Şekil 3. Önerilen QPSK modülör şema

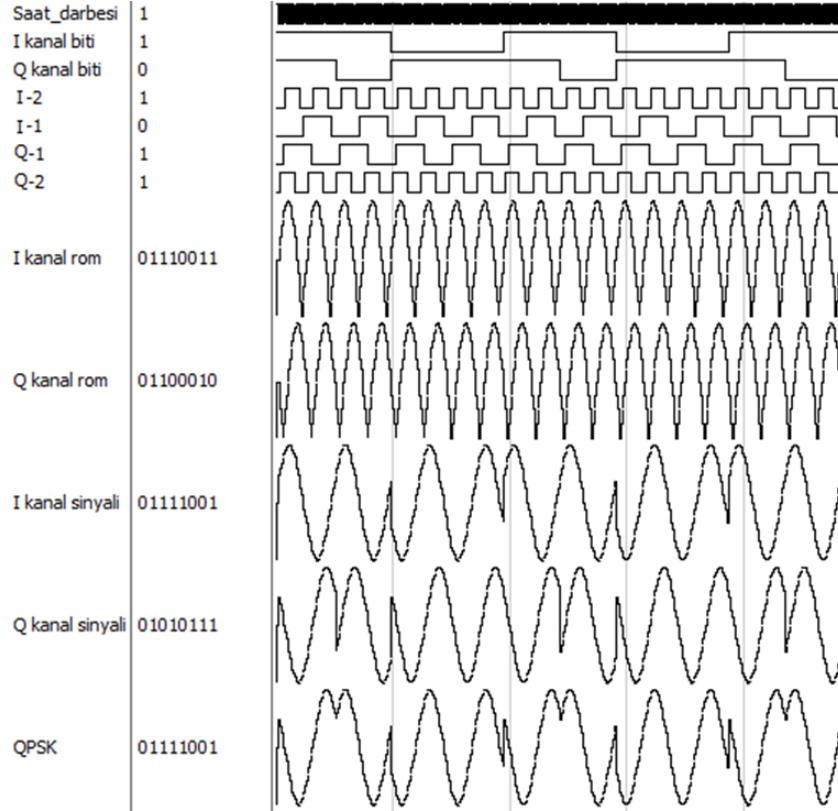
Şekil 4'de görüldüğü gibi I kanalı ve Q kanalı sinyalleri ayrı ayrı üretilmiştir. Önce sinyallerin üretimi sağlanarak ardından sinyal seçimi yapılmaktadır. Aslında ilk aşamadaki I kanalı ve Q kanalı mux blokları hem üretimi sağlamakta olup hem de I kanalı ve Q kanalı bitlerinin durumuna göre I ve Q kanalı sinyallerini oluşturmaktadır. Yani her bir kol birer BPSK modülör gibi davranmaktadır. Şekil 4 için elde edilen benzetim sonuçları Şekil 5'de verilmiştir.



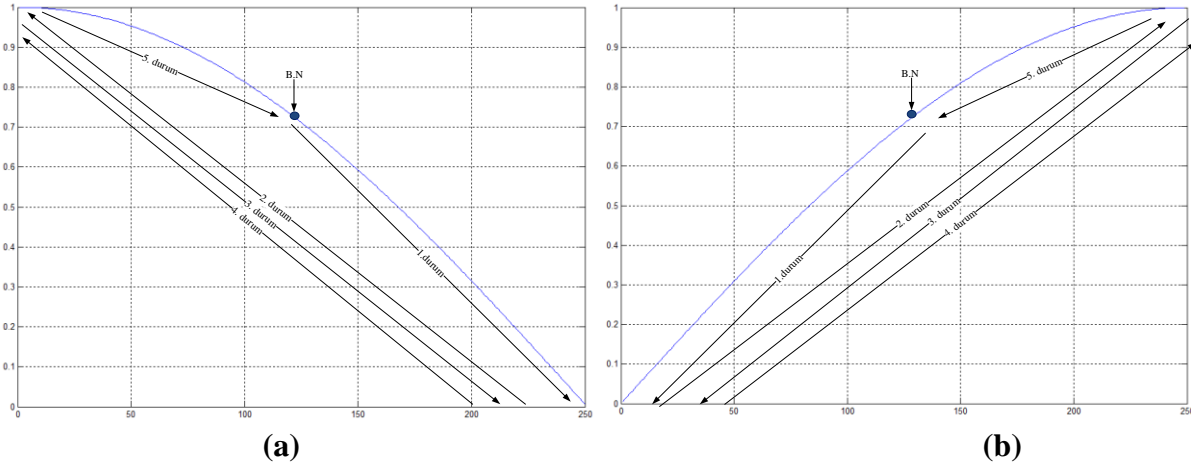
Şekil 4. Önerilen QPSK modülör şemasının FPGA ortamındaki tasarımı

Şekil 5’de verilen değişimde I kanal sinyali ve Q kanal sinyalleri sırasıyla üst kol ve alt kolda verilen mux bloklarının çıkışlarıdır. Ayrıca I kanal rom ve Q kanal rom sinyalleri ise I kanalı ve Q kanalı için kullanılan ROM bloklarının çıkışlarıdır. Bu ROM bloklarının çıkışları paralel olarak hem bir kaydediciden hem de bir tersleyiciden geçirilmektedir. Tersleyici ve kaydedici çıkışları I1 ve Q1 bitleri sayesinde belirli bir süre aktif ve pasif edilerek önce I kanalı ve Q kanalı

sinyalleri oluşturulmuştur. Oluşan bu sinyallerden sonra gelen bilgi bitleri Q kanalında görünen sinyali veya I kanalındaki sinyali aktif ederek daha düşük kaynak kullanımına sahip yeni bir mimarinin oluşturulmasını sağlamıştır. I kanalında ve Q kanalında kullanılan ROM bloklarına kaydedilen örneklerin zamanda sürekli halleri Şekil 6 (a) ve (b)’de görüldüğü gibidir.



Şekil 5. Önerilen QPSK modülör şemasının benzetim sonuçları



Şekil 6 (a) Q kanalı ve (b) I kanalı için kullanılan rom bloğuna kaydedilen sinyal

Şekil 6 (a) ve (b)' de görülen sinyallerin örnekleri sırasıyla Q ve I kanalı ROM bloklarına kaydedilmiştir. BN (Başlangıç Noktasından) başlayan sinyal bir periyodu tamamlayabilmek için yine başlangıç noktasında bitmiştir. Şekillerden de görüldüğü gibi 5 durum mevcuttur. Bu durumların kontrolü sayacı kontrol eden I2 ve Q2 bitleri ile sağlanmaktadır. Örneğin 1. durum için bu bitler lojik '0' seviyesindedir. 2.durumda, 3.durumda, 4.durumda ve 5.durumda sırasıyla 1-0-1-0 lojik seviyelerini almaktadır. Karmaşıklığı azaltmak için I ve Q kanalı içerisine kaydedilen örneklerin sırası değiştirilmiştir. I kanalı için sinüs fonksiyonunun çeyrek periyodu kullanılırken Q kanalı için de kosinüs fonksiyonunun çeyrek periyodu kullanılmıştır.

4. Önerilen QPSK Modülör için Derleme ve Deneysel Sonuçlar

Bu bölümde önerilen QPSK modülör için deneysel ve derleme sonuçları verilmektedir. Derleme sonuçları Tablo-3'de görülmektedir. Dört ROM bloğu kullanılarak oluşturulan mux tabanlı bir QPSK modülör ile bu çalışmada önerilen düşük RAM bit kullanımlı modülörün kaynak kullanım oranları ve maksimum çalışma frekansları verilmiştir.

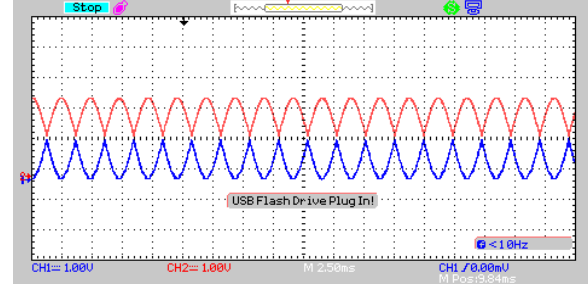
Bu bölümde önerilen QPSK modülör için deneysel ve derleme sonuçları verilmektedir. Derleme sonuçları Tablo-3'de görülmektedir. Dört ROM bloğu kullanılarak oluşturulan mux tabanlı bir QPSK modülör ile bu çalışmada önerilen düşük RAM bit kullanımlı modülörün kaynak kullanım oranları ve maksimum çalışma frekansları verilmiştir.

Tablo 3. Önerilen QPSK ve mux tabanlı QPSK için derleme sonuçları

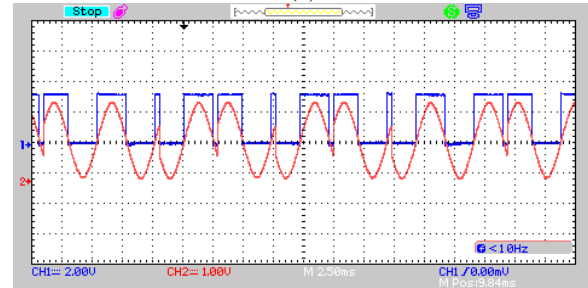
Mimari	Önerilen QPSK	Mux tabanlı QPSK
TLE	160	211
Kaydedici	77	95
RAM bit	320	2560
F0	80	80
Maksimum Çalışma Frekansı	176.57 MHz	173.36 MHz

Tablo 3'de verilen sonuçlara göre bir periyotta kullanılan örnek sayısı (F0=80) eşit olmak şartıyla RAM bit kullanımı önerilen yeni QPSK modülör

yardımla düşürülmüştür. Önerdiğimiz mimarinin RAM bit kullanımını düşürdüğü ve Toplam lojik eleman ve kaydedici sayısı bakımından da verimli çalıştığı tablodaki verilerden görülmektedir. Ayrıca iki mimarinin maksimum çalışma frekansları birbirlerine yakın çıkmıştır. Önerilen mimari için elde edilen deneysel sonuçları aşağıda verildiği gibidir.



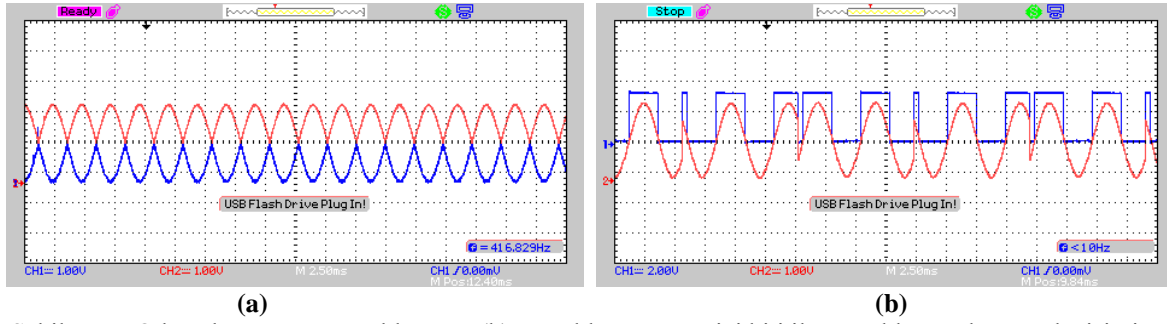
(a)



(b)

Şekil 7 (a) I kanalı *not_operator* bloğu çıkışı (b) I kanalı mux bloğunun seçici biti ile mux bloğu çıkışının değişimi

Şekil 7 (a) ve (b), I kanalı sinyallerini göstermektedir. Şekil 7 (a)'dan görüldüğü gibi öncelikle I kanalı *not_operator* bloğu çıkışından sinyaller üretilmektedir. Bu sinyallerin y eksenine göre simetrik olması genliklerinin mutlak değerinin birbirlerine eşit olduğunu göstermektedir. Yani sinyallerden birisi sinüsün pozitif alternansını gösteriyorken diğer sinyal negatif alternansını göstermektedir. Bu durum Şekil 8 (a)'da da aynıdır. Yani QPSK modülasyonlu sinyali üretebilmek için önerilen algoritmada ilk önce bir sinüs sinyalinin pozitif ve negatif alternanslarının üretimi amaçlanmıştır. Şekil 7 (a)'da görülen mavi veya kırmızı sinyallerin sadece yarım periyotluk örnek değerleri rom bloğuna kaydedilmiştir. Şekil 7 (b)'de ve Şekil 8 (b)'de ise I ve Q kanalı sinyallerinin seçimi için kullanılan mux bloklarının seçici pinlerinin girişi ve mux bloklarının çıkış sinyallerinin zamana göre değişimi verilmiştir.



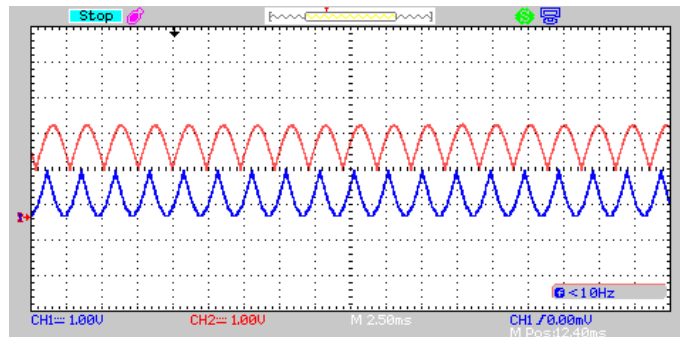
Şekil 8. (a) Q kanalı *not_operator* bloğu ve (b) Mux bloğunun seçici biti ile Mux bloğu çıkışının değişimi

Her iki şekilde de görüldüğü gibi mux bloklarının seçici pin girişleri lojik seviye olarak '1' olduğunda Şekil 7 (a) ve Şekil 8 (a)'da görülen kırmızı renkli sinyaller iletilmektedir. Diğer bir anlamda pozitif alternanslı sinyal mux bloğu çıkışında aktif edilmektedir. Seçici pin girişindeki bit lojik '0' seviyesinde olduğunda ise negatif alternanslı sinyaller iletilmektedir. I kanalı ve Q kanalı iki ayrı BPSK modülatör olarak düşünülürse bu noktaya kadar bütün işlemlerin benzer olduğu görülmektedir. Ama gerçekleştirilen QPSK modülatör mimarisinin karmaşıklığını artıran nokta Şekil 7 (b) ve Şekil 8 (b)'de görülen yarım periyodu yaklaşık olarak 1/5'i kadarlık bir süre boyunca lojik '1' ve lojik '0' bilgi sinyallerinin üretimi ile pozitif ve negatif alternanslı sinyallerin aktif edilmesini sağlamaktır. Bu nokta QPSK modülatörün uygulanması için en büyük senkronizasyon problemini de oluşturmaktadır. Bu nokta bu çalışmada küçük periyot sinyali olarak adlandırılmıştır.

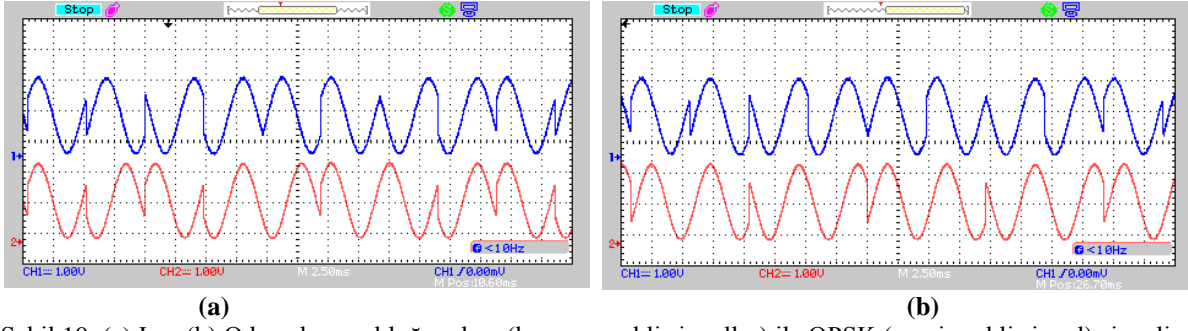
Şekil 7 (b) ve Şekil 8 (b), incelenirse küçük periyot sinyali negatif ve pozitif değerde olabilir. Küçük periyot sinyallerinin üretimi için Şekil 7 (a) ve Şekil 8 (a)'da görülen pozitif veya negatif alternanslı sinüs sinyallerinin sadece belirli bir süre aktif edilmesi gerekmektedir. Şekillerden de görüldüğü gibi eğer faz

geçiş gerçekleştirilecekse küçük periyot sinyalinin aktif eden mux seçici pini sadece o an için değerini değiştirmekte olup, kendinden önce ve kendinden sonra gelen seçici bitlerden farklı olmaktadır. Her bir periyodun üretimi Şekil 5'de detaylı bir şekilde verilmiştir. Küçük periyot sinyalinin üretimi ise 5. duruma denk gelmektedir.

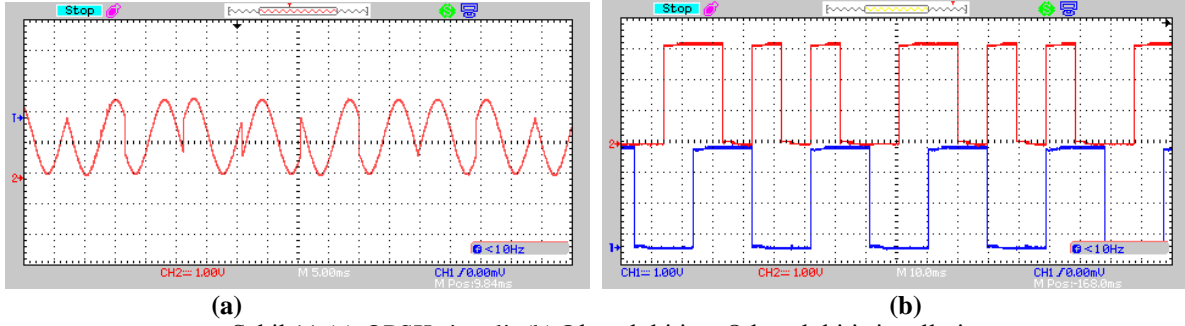
Şekil 7 (a) ve Şekil 8 (a)'da verilen mavi renkli sinyaller bilgi bitleri ile I1 ve Q1 sinyallerinin xor işleminden geçtikten sonra mux bloğunun seçici pinine uygulanması ile elde edilmektedirler. Şekil 1'de I1 ve Q1 bitlerinin değişimi detaylı olarak açıklanmaktadır. Şekil 1 incelenirse küçük sinyal periyodunun üretimini sağlayan küçük periyotlu sinyalinin gerekliliği görülecektir. Şekil 9'da I kanalından ve Q kanalından oluşturulan pozitif veya negatif sinüs sinyallerinin birbirlerine göre faz durumları verilmiştir. Şekilden de görüldüğü gibi iki sinyal arasında küçük sinyalin periyodu kadarlık bir gecikme mevcuttur. Bunun nedeni küçük sinyal üretimi I kanalı için pozitif veya negatif sinüs sinyallerinin başlangıç (1'e veya -1'e doğru yükselme anı) anında yapılıyorken Q kanalı için ise düşüş (0'a doğru) anında yapılmaktadır. Dolayısıyla sinyalin kontrollü bir şekilde üretilebilmesi için kullanılan kontrol bitleri nedeniyle bu faz farkı oluşmuştur.



Şekil 9. I kanalı (kırmızı sinyal) ve Q kanalı (mavi sinyal) *not_operator* bloklarının çıkışları



Şekil 10. (a) I ve (b) Q kanalı mux bloğu çıkışı (kırmızı renkli sinyaller) ile QPSK (mavi renkli sinyal) sinyalin değişimi



Şekil 11 (a)-QPSK sinyali. (b)-I kanalı biti ve Q kanalı biti sinyalleri

Şekil 10'da ise kırmızı renkli sinyaller I ve Q kanalında kullanılan mux bloğunun çıkışını gösterirken kırmızı renkli sinyal I kanalında kullanılan mux bloğunun çıkışını göstermektedir. Şekilden görüldüğü gibi QPSK müdüasyonlu sinyal I ve Q kanal bitlerinin durumuna göre ya I kanalındaki sinyali ya da Q kanalındaki sinyali aktif ederek QPSK sinyalini üretmektedirler.

Şekil 11'de görüldüğü gibi veri bitlerine göre elde edilen QPSK sinyal başarılı bir şekilde elde edilmiştir. Şekil 11'de veri bitlerinin başlangıcı osiloskobun soldan üçüncü karesinden başlanırsa ilk bitler "11" olarak görülecektir. QPSK sinyal de tam olarak soldan ikinci kare içerisinde değişim göstermiştir ve "11" bilgi sinyalleri için başlangıç noktası bu noktadır. Bütün durumlar (dört durum: 11, 01, 10, 00) için QPSK sinyalin oluşumu gösterilmiştir. Önerilen QPSK modülatör mimarisi incelenirse I kanalı ve Q kanalı mux bloklarının çıkışları sonucu verecek son bir mux bloğunun girişine uygulanmaktadır. Son aşamadaki mux bloğunun çıkışı ise bilgi sembolünü oluşturan bitlerin aynı ve farklı olmasına göre I kanalı ve Q kanalı sinyallerinden birisini çıkışa aktaracaktır. Dolayısıyla Şekil 10, ve Şekil 11 (b)'den görüldüğü gibi bilgi sembolünü oluşturan bitler farklıysa Şekil 10 (a)'da görülen kırmızı renkli sinyal, aynıysa Şekil 10 (b)'de görülen kırmızı renkli sinyal iletilecektir. Dolayısıyla Şekil 11 (b)'de verilen bilgi bitleri

incelenirse ilk durumda I kanalından iletilen bitin (mavi renkli sinyal) '1', Q kanalından iletilen bitin (kırmızı renkli sinyal) de '0' olduğu görülmektedir. Dolayısıyla bitler farklı olduğundan dolayı I kanalı sinyali son aşamadaki mux bloğu çıkışında aktif edilerek QPSK sinyali oluşturulur (Şekil 10 (a) ve Şekil (b)'de görülen mavi renkli sinyaller). Bu bilgi bitlerinden bir sonraki bitler birbiriyle aynı olduğundan dolayı ("00") algoritmanın son katmanındaki mux bloğu Q kanalından iletilen sinyali aktif etmiştir.

Kaynaklar

- [1] M. Nozaki, S. Yoshizawa, and Hiroshi Tanimoto, "VLSI Design of an Interference Canceller for QPSK OFDM-IDMA Systems", IEEE Asia Pacific Conference on Circuits and Systems (APCCAS), Ishigaki, Japonya, 715-718, (2014).
- [2] H. M. Thien, N. Sugii, and K. Ishibashi, "A 1.36 μW 312–315MHz synchronized-OOK receiver for wireless sensor networks using 65nm SOTB CMOS technology", Journal of Solid-State Electronics, vol. 117, no. 1, pp. 161-169, Mar. 2016.
- [3] P. Bhagawat, R. Dash, and C. Gwan, "Architecture for reconfigurable MIMO detector and its FPGA implementation", 15th IEEE International Conference on Electronics, Circuits and Systems, Denver, ABD, 61-64, (2008).

- [4] L., Jri, Y. Chen, and Y. Huang, "A low-power low-cost fully-integrated 60-GHz transceiver system with OOK modulation and on-board antenna assembly." *IEEE Journal of Solid-State Circuits*, vol. 45, no. 2, pp. 264-275, Feb. 2010.
- [5] D. Denis, and A. P. Chandrakasan. "An energy-efficient OOK transceiver for wireless sensor networks." *IEEE Journal of Solid-State Circuits*, vol. 42, no. 5, pp. 1003-1011, May. 2007.
- [6] Z. He, W. Wu, J. Chen, Y. Li, D. Stackenas, and H. Zirath, "An FPGA-based 5 Gbit/s D-QPSK modem for E-band point-to-point radios", 41st European Microwave Conference (EuMC), Manchester, İngiltere, 690-692, (2011).
- [7] S.O. Popescu, A.S.Gontean, and D.Ianchis, "QPSK Modulator on FPGA", *IEEE 9th International Symposium on Intelligent Systems and Informatics*, Subotica, Sırbistan, 359-364, (2011).
- [8] W. Song, and Q. Yao, "Design and Implement of QPSK Modem Based on FPGA", *IEEE International Conference on Computer Science and Information Technology*, Chengdu, Çin, 599-601, (2010).
- [9] T. Kazaz, M. Kulin, and M. Hadzialic, "Design and Implementation of SDR Based QPSK Modulator on FPGA", *MIPRO 2013*, Opatija, Hırvatistan, 513-518, (2013).
- [10] X. Xiquan, "Implementation of PSK Digital Demodulator with Variable Rate Based on FPGA", *Open Automation and Control Systems Journal*, vol. 7, no. 2, pp.1280-1286, Sep. 2015.
- [11] Y. Linn, "A Self-Normalizing Symbol Synchronization Lock Detector for QPSK and BPSK", *IEEE Transactions on Wireless Communications*, vol. 5, no. 2, pp. 347-353, Feb. 2006.
- [12] J. Bao, C.Y. Lu, P. D. Graca, S. Zeng, and T. Poon, "A New Timing Recovery Method For DTV Receivers", *IEEE Transactions on Consumer Electronics*, vol. 44, no. 4, pp. 1243-1249, Nov. 1998.
- [13] A. Tolmachev, I. Tselniker, M. Meltsin, I. Sigron, D. Dahan, A. Shalom, and M. Nazarathy, "Multiplier-Free Phase Recovery With Polar-domain Multisymbol-Delay-Detector", *Journal of Lightwave Technology*, vol. 31, no. 23, pp. 3638-3650, Dec. 2013.
- [14] P. P. Schönwälder, J. B. Dalmau, F. X. Geniz, F. A. López, and R. G. Mas "A Superregenerative QPSK Receiver", *IEEE Transactions on Circuits and Systems—I: Regular Papers*, Vol. 61, No. 1, pp. 258-265, Jan. 2014
- [15] N. K. Venkatachalam, L. Gopalakrishnan, M. Sellathurai, "Low complexity and area efficient reconfigurable multimode interleaver address generator for multistandard radios", *IET Computers & Digital Techniques*, vol. 10, no. 2, pp. 59-68, Mar. 2016.
- [16] S. Ertürk, "Sayısal Haberleşme", Birsen Yayınevi, İstanbul, 2005.